

Docket No.: P-078

PATENT

#2  
6/7/00  
JP  
1598 U.S. P.  
09/532952  
03/22/00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :

Sang-Young NOH :

Serial No.: New U.S. Patent Application :

Filed: March 22, 2000 :

For: REGISTER CONTROL APPARATUS FOR W-CDMA WLL  
SEPARATION TYPE TERMINAL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents  
Washington, D. C. 20231

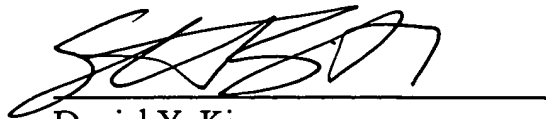
Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Application No. 42145/1999 filed September 30, 1999

A copy of the priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP



Daniel Y. Kim  
Registration No. 36,186  
Stuart I. Smith  
Registration No. 42,159

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

Date: March 22, 2000

DYK/SIS:ss

CERTIFIED COPY OF  
PRIORITY DOCUMENT

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

jc598 U.S. PTO  
09/532952  
03/22/00

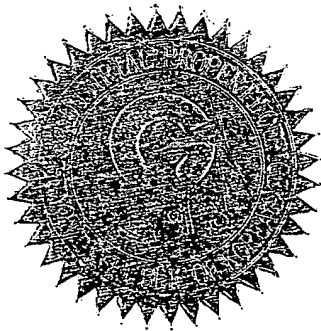
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 1999년 특허출원 제42145호  
Application Number

출원년월일 : 1999년 9월 30일  
Date of Application

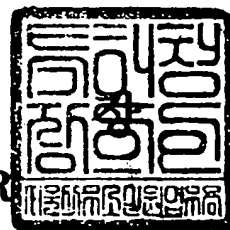
출원인 : 엘지정보통신 주식회사  
Applicant(s)



1999년 12월 15일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	1999.09.30
【발명의 명칭】	광대역 -시디엠에이 더블유엘엘 단말기의 마스터-슬레이브 제어장치
【발명의 영문명칭】	Apparatus for controlling master-slave in W-CDMA WLL RIU
【출원인】	
【명칭】	엘지정보통신주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	홍성철
【대리인코드】	9-1998-000611-7
【포괄위임등록번호】	1999-053412-7
【발명자】	
【성명의 국문표기】	노상영
【성명의 영문표기】	NOH, SANG YOUNG
【주민등록번호】	720304-1797831
【우편번호】	431-080
【주소】	경기도 안양시 동안구 호계동 533 LG 정보통신 전송연구소
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 홍성철 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원

## 【요약서】

## 【요약】

본 발명은 W-CDMA WLL 단말기에서의 마스터-슬레이브 제어장치를 제공하기 위한 것으로, 이러한 본 발명은 W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서를 구비하고 슬레이브 제어부를 제어하는 마스터 제어부와, 상기 마스터 제어부내의 마이크로프로세서의 제어에 의하여 동작하는 슬레이브 제어부와, 상기 마스터 제어부와 슬레이브 제어부를 상호 연결시키는 E1 링크로 구성됨으로써, W-CDMA WLL 분리형 단말기의 마스터가 E1 링크를 통하여 슬레이브의 레지스터에 접근함으로써 마스터가 슬레이브를 제어하도록 하여 기존의 WLL 기본형 단말기와의 소프트웨어 호환성을 유지하면서 서로 원거리의 두 단말기가 상호 제어될 수 있게 되는 것이다.

## 【대표도】

도 2

**【명세서】****【발명의 명칭】**

광대역-시디엠에이 더블유엘엘 단말기의 마스터-슬레이브 제어장치 {Apparatus for controlling master-slave in W-CDMA WLL RIU}

**【도면의 간단한 설명】**

도1은 종래 W-CDMA WLL 단말기의 블록구성도이고,

도2는 본 발명에 의한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치의 블록구성도이다.

**\* 도면의 주요 부분에 대한 부호의 설명 \***

10 : 마스터 제어부

11 : 마이크로프로세서

12 : 디코딩부

13 : 미리 레지스터 처리부

14 : 미리 레지스터

15 : 프레임িং부

20 : 슬레이브 제어부

21 : 레지스터 처리부

22 : 프레임িং부

30 : E1 링크

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

➤ 본 발명은 W-CDMA(Wideband Code Division Multiple Access, 광대역 코드분할 다중

접속) WLL(Wireless Local Loop, 무선 가입자 망) 단말기에 관한 것으로, 특히 W-CDMA WLL 분리형 단말기의 마스터가 E1 링크를 통하여 슬레이브의 레지스터에 접근함으로써 마스터가 슬레이브를 제어하도록 하여 기존의 WLL 기본형 단말기와의 소프트웨어 호환성을 유지하면서 서로 원거리의 두 장치가 상호 제어되기에 적당하도록 한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치에 관한 것이다.

- <10> 일반적으로 CDMA 방식의 무선접속규격을 사용하는 WLL 시스템은 N-CDMA (narrowband-CDMA)(IS-95) 방식과 W-CDMA 방식으로 나눌 수 있는 데, N-CDMA과 비교하여 W-CDMA 방식을 이용한 시스템은 주파수 대역폭과 음성대역 데이터 속도 및 ISDN BRI(2B+D) 서비스 제공 가능 여부에서 차이점을 가지고 있다.
- <11> 이러한 W-CDMA에서 기본형 단말기의 블록구성을 도1에 도시하였다.
- <12> 이에 도시된 바와 같이, W-CDMA 기본형 단말기의 전반적인 동작을 제어하는 마이크로프로세서(1)와; 상기 마이크로프로세서(1)의 제어명령을 디코딩하여 해석하는 디코딩부(3)와, 데이터를 저장하는 레지스터(4)를 구비하여 상기 마이크로프로세서(1)의 제어를 받아 제어에 따른 적절한 동작을 수행하는 모듈(2)로 구성되었다.
- <13> 즉, 단말의 제어를 관장하는 마이크로프로세서(1)와 그 주변회로, W-CDMA의 기능을 수행하는 모뎀 모듈, 가입자 인터페이스 모듈, 그리고 RF 모듈로 이루어진다. 그래서 마이크로프로세서(1)의 제어를 받는 각 모듈(2)은 각종 버스로 마이크로프로세서(1)와 연결되어 그 제어를 받고 있다. 마이크로프로세서(1)의 제어를 받는 모듈(2)은 버스를 통하여 제어에 필요한 정보를 받고 그에 적절한 동작을 행하게 된다.
- <14> 비동기 데이터 호를 처리하는 인터페이스 모듈의 예를 들어보면, 단말기의 마이크

로프로세서(1)는 모듈(2)의 레지스터(4)를 읽음으로써 모듈(2)의 상태를 파악하고, 모듈(2)의 레지스터(4)에 기록함으로써 모듈(2)이 어떠한 동작을 취할 것인가를 지시한다.

<15> 이처럼 마이크로프로세서(1)의 제어에 의하여 동작하는 장치는 각 장치 또는 모듈을 제어하기 위한 마이크로프로세서(1)와, 마이크로프로세서(1)의 제어를 받는 장치 또는 모듈(2), 그리고 마이크로프로세서(1)와 각종 모듈(2)을 물리적, 논리적으로 연결해 주기 위한 주소버스, 데이터버스, 제어버스 등과 같은 각종 신호를 전달해주는 버스로 구성된다.

<16> 그래서 마이크로프로세서(1)가 어떠한 모듈(2)의 레지스터(4)를 기록하거나 읽어올 경우, 각 레지스터(4)는 미리 할당받은 주소와 데이터의 길이를 가지고 있으며, 마이크로프로세서(1)로부터의 주소 버스와 데이터 버스를 통하여 레지스터(4)에 어떠한 값을 저장시키거나, 레지스터(4)로부터 값을 읽어오게 된다. 이 때의 주소 버스와 데이터 버스의 신호는 소프트웨어의 동작에 의하여 변하게 된다. 이 때 필요한 신호는 레지스터의 주소를 나타내는 주소 버스, 기록될 데이터 또는 읽어올 데이터를 나타내는 데이터 버스, 모듈(2)이 선택되었음을 나타내는 칩선택(CS, Chip Select) 신호, 레지스터에 기록할 것을 나타내는 Write(WR) 신호, 레지스터(4)를 읽을 것을 나타내는 Read(RD) 신호이다.

<17> 이와 같이 구성된 종래 장치의 동작을 다시 상세히 설명하면 다음과 같다.

<18> 먼저 종래 장치의 동작은 크게 레지스터(4)를 읽는 동작과 쓰는 동작으로 나누어 볼 수 있다.

- <19> 그래서 레지스터(4)를 읽어올 경우, 읽어올 레지스터(4)에 할당된 주소로부터 모듈(2)이 선택되었음을 알리는 CS 신호가 발생하며, 이와 동시에 주소 버스에는 이 레지스터(4)의 주소가 나타나고, 레지스터(4)를 읽을 것을 알리는 RD 신호와 함께 데이터 버스를 통하여 레지스터에 기록되어 있던 값은 마이크로프로세서(1)로 전달된다. 즉, 데이터 버스는 모듈(2)로부터 마이크로프로세서(1) 쪽의 방향으로 전달이 되며, 나머지 신호는 마이크로프로세서(1)로부터 모듈(2)쪽으로 전달된다.
- <20> 또한 레지스터(4)에 어떠한 값을 기록할 경우, 모든 신호는 마이크로프로세서(1)로부터 모듈(2) 쪽으로 전달된다. 레지스터(4)를 읽는 경우와 마찬가지로 레지스터(4)에 할당된 주소로부터 모듈(2)이 선택되었음을 알리는 CS 신호가 발생되며, 주소 버스에는 레지스터의 주소가, 데이터 버스에는 레지스터에 기록할 데이터가 나타나게 된다. 동시에 WR 신호의 발생으로 데이터 버스에 나타나는 데이터는 지정된 레지스터(4)에 기록된다.
- <21> 이러한 일련의 과정은 소프트웨어의 요구에 따라 일정한 주소가 주어진 레지스터를 읽고 쓰는 과정에서 발생하게 된다.
- <22> 그러나 종래의 장치를 W-CDMA WLL 분리형 단말과 같은 마스터와 슬레이브가 원거리(수십 ~ 수백 미터)에 떨어져 있는 경우에 그대로 적용하려고 할 경우에는 다음과 같은 문제점이 발생하게 된다.
- <23> 첫째, 주소 버스, 데이터 버스, 칩 선택 신호, 리드 신호, 라이트 신호를 그대로 원거리 전송할 수 없으며, 둘째, 이를 피하기 위하여 마스터와 슬레이브 사이에 새로운 규약을 적용할 경우 슬레이브에도 이를 처리할 새로운 마이크로프로세서를 추가하여야 하며, 셋째, 두 번째와 같이 구현할 경우에는 하드웨어의 설계 변경 뿐만 아니라 소프트



웨어 또한 호환성을 상실하게 되므로 하드웨어와 소프트웨어 모두 설계를 변경하여야 하는 문제점이 있게 된다.

【발명이 이루고자 하는 기술적 과제】

- <24> 이에 본 발명은 상기와 같은 종래의 제반 문제점을 해소하기 위해 제안된 것으로, 본 발명의 목적은 W-CDMA WLL 분리형 단말기의 마스터가 E1 링크를 통하여 슬레이브의 레지스터에 접근함으로써 마스터가 슬레이브를 제어하도록 하여 기존의 WLL 기본형 단말기와의 소프트웨어 호환성을 유지하면서 서로 원거리의 두 단말기가 상호 제어될 수 있도록 한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치를 제공하는 데 있다.

【발명의 구성 및 작용】

- <25> 상기와 같은 목적을 달성하기 위하여 본 발명에 의한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치는,
- <26> W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서를 구비하고 슬레이브 제어부를 제어하는 마스터 제어부와; 상기 마스터 제어부내의 마이크로프로세서의 제어에 의하여 동작하는 슬레이브 제어부와; 상기 마스터 제어부와 슬레이브 제어부를 상호 연결시키는 E1 링크로 이루어짐을 그 기술적 구성상의 특징으로 한다.
- <27> 이하, 상기와 같은 본 발명 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치의 기술적 사상에 따른 일실시예를 설명하면 다음과 같다.
- <28> 도2는 본 발명에 의한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치의 블록구성

도이다.

- <29> 이에 도시된 바와 같이, W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서(11)를 구비하고 슬레이브 제어부(20)를 제어하는 마스터 제어부(10)와; 상기 마스터 제어부(10)내의 마이크로프로세서(11)의 제어에 의하여 동작하는 슬레이브 제어부(20)와; 상기 마스터 제어부(10)와 슬레이브 제어부(20)를 상호 연결시키는 E1 링크(30)로 구성된다.
- <30> 상기에서 마스터 제어부(10)는, W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서(11)와; 상기 마이크로프로세서(11)의 제어명령을 디코딩하여 해석하는 디코딩부(12)와; 상기 디코딩부(12)를 통해 입력된 상기 마이크로프로세서(11)의 제어명령을 저장하고, 상기 슬레이브 제어부(20)의 정보를 저장하는 미러 레지스터(Mirror Register) 처리부(13)로 구성된다.
- <31> 상기에서 미러 레지스터 처리부(13)는, 상기 디코딩부(12)를 통해 입력된 상기 마이크로프로세서(11)의 제어명령을 저장하고, 프레임부(15)를 통해 입력된 정보를 저장하는 복수개의 미러 레지스터(14)와; 상기 복수개의 미러 레지스터(14)에 저장된 마이크로프로세서(11)의 제어명령을 상기 E1 링크(30)를 통하여 상기 슬레이브 제어부(20)로 적절한 타임 슬롯에 맞추어 전송하고, 상기 E1 링크(30)를 통해 입력된 상기 슬레이브 제어부(20)의 정보를 적절한 타임 슬롯에 맞추어 입력받아 상기 복수개의 미러 레지스터(14)에 그대로 저장되도록 하는 프레임부(15)로 구성된다.
- <32> 상기에서 슬레이브 제어부(13)는, 상기 슬레이브 제어부(13)의 데이터를 저장하여 상기 슬레이브 제어부(13) 내의 각종 장치를 동작이 상기 마스터 제어부(10)의 데이터에 의해 결정되도록 하는 복수개의 레지스터(22)와, 상기 복수개의 레지스터(22)에 저장된

데이터를 적절한 타임슬롯에 맞추어 상기 E1 링크(30)를 통해 상기 마스터 제어부(10)로 전송하고, 상기 마스터 제어부(10)의 제어명령을 상기 E1 링크(30)를 통해 적절한 타임슬롯에 맞추어 전송받아 상기 복수개의 레지스터(22)에 기록하는 프레이밍부(23)를 구비한 레지스터 처리부(21)를 포함하여 구성된다.

- <33> 이와 같이 구성된 본 발명에 의한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치의 동작을 첨부한 도면에 의거 상세히 설명하면 다음과 같다.
- <34> 먼저 마스터 제어부와 슬레이브 제어부와 미리 레지스터에 대한 설명을 하면 다음과 같다.
- <35> 즉, 마스터 제어부(10)는 W-CDMA WLL 단말기의 동작에 있어 중심이 되며, 마스터 제어부(10)에 연결된 슬레이브 제어부(20)를 제어하는 역할을 수행하게 된다. 따라서 마스터 제어부(10)는 제어에 필요한 마이크로프로세서(11)를 포함하고 있으며, 제어를 담당하는 마이크로프로세서(11)의 존재 유무가 마스터 제어부(10)와 슬레이브 제어부(20)를 구분하는 기준이 된다.
- <36> 그리고 슬레이브 제어부(20)는 마이크로프로세서(11)의 제어에 의하여 동작하는 부분으로서, 마이크로프로세서(11)가 레지스터(22)에 값을 기록하면 그 값에 따라 적절한 동작을 하며, 마스터 제어부(10)에 전달할 내용을 레지스터(22)를 통하여 전달한다.
- <37> 또한 미리 레지스터(13)는 마스터 제어부(10)에 위치하는 레지스터로서, 마스터 제어부(10)와 슬레이브 제어부(20)가 원거리에 위치하기 때문에, 마스터 제어부(10)가 슬레이브 제어부(20)의 레지스터(22)를 직접 액세스할 수 없음으로 인하여 슬레이브 제어

부(20)가 가지고 있는 레지스터(22)의 내용을 그대로 반영하는 레지스터이다. 이 미러 레지스터(13)는 마스터 제어부(10)의 마이크로프로세서(11)와 버스를 통하여 연결된다.

<38> 한편, W-CDMA WLL 분리형 단말기는 옥외에 위치하는 실외기와 옥내에 위치하는 실내기로 구분된다. 실외기는 단말기의 제어를 담당하는 마이크로프로세서와 모뎀모듈과 RF 모듈을 포함하며, 실내기는 POTS(Plain Old Telephone Service, 구형 전화서비스)와 비동기 데이터 호를 처리하는 가입자 인터페이스 모듈로 구성되며, E1 링크(30)에 의하여 서로 연결되어 있다. 따라서 실내기는 실외기의 마이크로프로세서에 의하여 제어된다. 따라서 본 발명에서는 실외기를 마스터로, 실내기를 슬레이브로 설정한다.

<39> 그리고 본 발명과 종래 기술과의 핵심적인 차이점은, 마스터 제어부(10)와 슬레이브 제어부(20)가 원거리에 존재하기 때문에 마스터 제어부(10)와 슬레이브 제어부(20) 사이가 E1 링크로 연결되어 있으며, 이 링크를 통하여 버스 정보를 직접 보내지를 못하기 때문에 마스터 제어부(10)에 미러 레지스터(14)라는 레지스터를 두어 마스터 제어부(10)는 슬레이브 제어부(20)의 레지스터(22)에 직접 접근하는 것처럼 동작하고, 이 미러 레지스터(14)의 값들은 다시 E1의 각 타임슬롯에 실려 슬레이브 제어부(20)에 존재하는 레지스터(22)에 전달된다는 점이다.

<40> 한편 본 발명의 동작을 레지스터의 값을 읽는 동작과 기록하는 동작으로 나누어 설명하면 다음과 같다.

<41> 먼저 마스터 제어부(10)의 마이크로프로세서(11)는 슬레이브(20)의 레지스터(22)를 직접으로 액세스할 수 없다. 따라서 도2에 보인 바와 같이, 마이크로프로세서(11)가 미러 레지스터(14)를 액세스하도록 한다.

<42> 그리고 마이크로프로세서가 미리 레지스터(14)에 값을 기록하는 방식은 기존의 방식과 동일하다. 즉, 소프트웨어에 의하여 지정된 주소(여기에서는 지정된 레지스터)에 기록하는 동작을 취했을 때, 마이크로프로세서(11)의 각종 버스는 기존처럼 레지스터에 값을 기록하는 동작을 행하게 된다. 다만, 기록되는 레지스터가 직접으로 제어되어야 하는 레지스터가 아닌 미리 레지스터(14)라는 차이점을 갖는다.

<43> 이렇게 미리 레지스터(14)에 기록된 값을 프레이밍부(15)에 의해 E1 링크(30)를 통하여 슬레이브 제어부(20)로 전송된다. 지정된 타임슬롯을 통하여 슬레이브 제어부(20)로 전송된 내용은 슬레이브 제어부(20)에서 추출되어 지정된 레지스터(22)에 기록된다. 그러면 슬레이브 제어부(20)는 레지스터(22)에 기록된 내용에 따라 동작을 하게 된다.

<44> 또한 마이크로프로세서(11)가 레지스터(22)의 값을 읽는 경우는 다음과 같다. 즉, 슬레이브 제어부(20)에 존재하는 레지스터(22)의 값은 프레이밍부(23)에 의하여 할당된 타임슬롯을 통하여 마스터 제어부(10)로 전송된다. 그러면 마스터 제어부(10)의 프레이밍부(15)에서는 타임슬롯으로부터 값을 추출해 내어 각각의 미리 레지스터(14)에 기록한다. 그리고 마스터 제어부(10)의 마이크로프로세서(11)는 주어진 주소를 읽는 것으로 버스를 통하여 이 레지스터(22)에 기록되어 있는 값을 읽어올 수 있게 되는 것이다.

<45> 이렇게 마스터 제어부(10)와 슬레이브 제어부(20) 사이에는 주기적으로 레지스터의 값들이 교환된다.

<46> 그리고 마스터 제어부(10)와 슬레이브 제어부(20) 사이의 전송이 E1로 이루어지고 있으므로 각각의 레지스터 상태는 125 마이크로초 마다 상대방에게 전송된다. 즉, 슬레이브 제어부(20)의 레지스터(22) 또는 마스터 제어부(10)에 존재하는 미리 레지스터(14)가 변경되었을 때, 그 변경은 주기적으로 125 마이크로초 마다 마스터 제어부(10)와 슬

레이브 제어부(20) 상호간에 교환되어 미러 레지스터(14)와 레지스터(22)에 상호 갱신되어 반영된다.

<47> 이러한 일련의 작업을 수행하기 위해서는 먼저 각각의 레지스터가 어느 타임슬롯을 통하여 주기적으로 전송되며, 이를 위하여 기존의 구조에서 두 모듈 사이에 타임슬롯으로부터 값을 추출하거나 타임슬롯을 통하여 전송하는 블록이 추가된다. 그리고 이는 FPGA(Field Programmable Gate Array) 등 프로그램 가능한 디바이스를 사용하여 행할 수 있다.

<48> 또한 마스터 제어부(10)의 마이크로프로세서(11)는 미러 레지스터(14)만을 버스를 통하여 액세스하며, 슬레이브 제어부(20)는 일정한 주기로 갱신되는 자신의 레지스터(22)만을 참조하게 되므로 이 두 장치가 분리되었다 하더라도 마이크로프로세서(11)는 종래와 동일한 주소에 있는 미러 레지스터(14)에 접근하기 때문에 주소맵 등의 변경이 불필요하고, 종래의 기본형 단말기와 차이 없이 종래와 동일한 방법으로 제어에 필요한 레지스터를 읽고 기록할 수 있다.

<49> 따라서 마이크로프로세서(11)는 자신이 직접 제어에 필요한 레지스터를 액세스하는 것으로 인식하게 되며, 마스터와 슬레이브는 상호간에 분리되어 있는 사실을 인지하지 못하게 된다. 이 때문에 제어에 필요한 소프트웨어는 기존의 소프트웨어와 전혀 다를 바 없어지며, 그대로 호환성을 유지하게 된다. 그러므로 소프트웨어는 W-CDMA WLL의 기본형 단말기와 분리형 단말기가 공유하게 된다.

<50> 이처럼 본 발명은 W-CDMA WLL 분리형 단말기의 마스터가 E1 링크를 통하여 슬레이브의 레지스터에 접근함으로써 마스터가 슬레이브를 제어하도록 하여 기존의 WLL 기본형

단말기와의 소프트웨어 호환성을 유지하면서 서로 원거리의 두 단말기가 상호 제어되게 되는 것이다.

<51> 이상에서 본 발명의 바람직한 실시예를 설명하였으나, 본 발명은 다양한 변화와 변경 및 균등물을 사용할 수 있다. 본 발명은 상기 실시예를 적절히 변형하여 동일하게 응용할 수 있음이 명확하다. 즉, W-CDMA WLL 분리형 단말기 뿐만 아니라 이와 유사한 원거리의 두 장치가 상호 제어될 필요성이 있을 경우 E1 링크를 통하여 제어하는 경우에도 사용할 수 있다. 따라서 상기 기재 내용은 하기 특허청구범위의 한계에 의해 정해지는 본 발명의 범위를 한정하는 것이 아니다.

#### 【발명의 효과】

<52> 이상에서 살펴본 바와 같이, 본 발명에 의한 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치는 W-CDMA WLL 기본형 단말기가 지하 등의 전파 환경이 열악한 환경에서의 단점을 보완하기 위하여 마이크로프로세서와 모뎀, RF 모듈을 포함하는 실외기와 가입자 인터페이스를 포함하는 실내기로 분리하는 과정에서 발생하는 실내기의 제어에 대한 문제점을 해결한 것으로, 서로 수십 내지 수백m 정도 분리되어 E1 링크로만 연결되어 있는 실외기가 실내기를 제어하기 위하여 실내기의 레지스터에 접근하기 위한 해결을 제시함과 동시에 기존의 기본형 단말기와의 소프트웨어적 호환성을 유지하기 위하여 소프트웨어의 변경을 피할 수 있게 해준다.

<53> 따라서 본 발명은 주소 맵을 변경하거나 별도의 규약(protocol)을 정하거나 하는 작업이 불필요하며, 하드웨어와 소프트웨어 양면에 있어 전반적인 설계변경을 피할 수

있고, 종래의 구조에서 두 모듈 사이에 E1 프레임의 적절한 타임슬롯에 정보를 전송하기 위한 하드웨어만이 추가되며, 이에 따라 기존의 W-CDMA WLL 기본형 단말기와 분리형 단말기와의 소프트웨어적 호환성을 유지할 수 있는 효과가 있게 된다.

<54> 더불어 본 발명은 W-CDMA WLL 분리형 단말기 뿐만 아니라 이와 유사한, 즉 원거리의 두 장치가 상호 제어될 필요성이 있을 경우 E1 링크를 통하여 제어하는 경우에도 사용할 수 있는 효과도 있다.



**【특허청구범위】****【청구항 1】**

W-CDMA WLL 단말기에 있어서,

W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서를 구비하고 슬레이브 제어부를 제어하는 마스터 제어부와;

상기 마스터 제어부내의 마이크로프로세서의 제어에 의하여 동작하는 슬레이브 제어부와;

상기 마스터 제어부와 슬레이브 제어부를 상호 연결시키는 E1 링크로 구성된 것을 특징으로 하는 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치.

**【청구항 2】**

제 1항에 있어서, 상기 마스터 제어부는,

W-CDMA WLL 단말기의 전반적인 동작을 제어하는 마이크로프로세서와;

상기 마이크로프로세서의 제어명령을 디코딩하여 해석하는 디코딩부와;

상기 디코딩부를 통해 입력된 상기 마이크로프로세서의 제어명령을 저장하고, 상기 슬레이브 제어부의 정보를 저장하는 미리 레지스터 처리부로 구성된 것을 특징으로 하는 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치.

**【청구항 3】**

제 2항에 있어서, 상기 미리 레지스터 처리부는,

상기 디코딩부를 통해 입력된 상기 마이크로프로세서의 제어명령을 저장하고, 프레임밍부를 통해 입력된 정보를 저장하는 복수개의 미리 레지스터와;

상기 복수개의 미리 레지스터에 저장된 마이크로프로세서의 제어명령을 상기 E1 링크를 통하여 상기 슬레이브 제어부로 적절한 타임 슬롯에 맞추어 전송하고, 상기 E1 링크를 통해 입력된 상기 슬레이브 제어부의 정보를 적절한 타임 슬롯에 맞추어 입력받아 상기 복수개의 미리 레지스터에 그대로 저장되도록 하는 프레임밍부로 구성된 것을 특징으로 하는 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치.

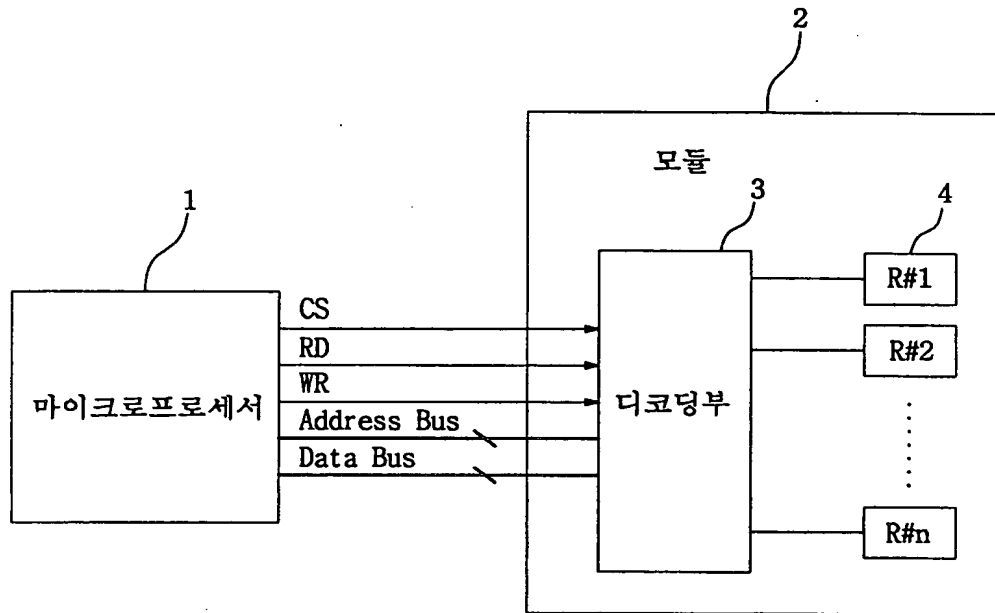
**【청구항 4】**

제 1항에 있어서, 상기 슬레이브 제어부는,

상기 슬레이브 제어부의 데이터를 저장하여 상기 슬레이브 제어부 내의 각종 장치를 동작이 상기 마스터 제어부의 데이터에 의해 결정되도록 하는 복수개의 레지스터와, 상기 복수개의 레지스터에 저장된 데이터를 적절한 타임슬롯에 맞추어 상기 E1 링크를 통해 상기 마스터 제어부로 전송하고, 상기 마스터 제어부의 제어명령을 상기 E1 링크를 통해 적절한 타임슬롯에 맞추어 전송받아 상기 복수개의 레지스터에 기록하는 프레임밍부를 구비한 레지스터 처리부를 포함하여 구성된 것을 특징으로 하는 W-CDMA WLL 단말기의 마스터-슬레이브 제어장치.

【도면】

【도 1】



【도 2】

